

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

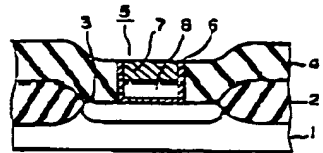
As rescanning documents *will not* correct images,
Please do not report the images to the
Image Problem Mailbox.

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(11) 5-160066 (A) (43) 25.6.1993 (19) JP
 (21) Appl. No. 3-218931 (22) 29.3.1991 (33) JP (31) 90p.255117 (32) 27.9.1990
 (71) TOSHIBA CORP (72) YUKIHIRO USHIKU(2)
 (51) Int. Cl⁶. H01L21/28, H01L21/90

PURPOSE: To provide a contact hole which is filled with conductive material excellent in shape and able to connect an element to a wiring low in contact resistance.

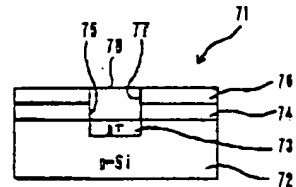
CONSTITUTION: An insulating film 4 provided with a contact hole 5 is formed on an impurity diffusion layer 3 provided onto a semiconductor substrate 1, and a passivation film 6 formed on the base of the contact hole 5, silicon filled into the contact hole 5, and a silicide film 7 are provided.

**(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**

(11) 5-160067 (A) (43) 25.6.1993 (19) JP
 (21) Appl. No. 4-120209 (22) 13.5.1992 (33) JP (31) 91p.182132 (32) 23.7.1991
 (71) SEIKO EPSON CORP (72) SEIICHI IWAMATSU
 (51) Int. Cl⁶. H01L21/28, H01L21/3205, H01L21/90

PURPOSE: To enable a wiring connection region to be surely, electrically connected to a wiring layer through the intermediary of a connection hole provided to an interlayer insulating film even if the pattern of the wiring layer is micronized in size of the order of submicrons.

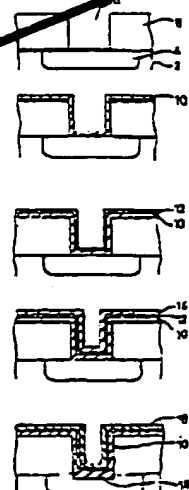
CONSTITUTION: An interlayer insulating film 74 and an aluminum wiring layer 76 are previously laminated on the front side of an substrate 72, a plug electrode 78 of tungsten film is buried in a recess 77 bored in the film 74, the layer 76, and the substrate 72, and the wiring layer 76 and a diffusion layer 73 are electrically connected together through the intermediary of the plug electrode 78.

**(54) MANUFACTURE OF SEMICONDUCTOR DEVICE**

(11) 5-160068 (A) (43) 25.6.1993 (19) JP
 (21) Appl. No. 3-142508 (22) 17.5.1991
 (71) RICOH CO LTD (72) TAKUYA NAONAGA(1)
 (51) Int. Cl⁶. H01L21/28, H01L21/90

PURPOSE: To form a TiN large enough in thickness restraining Ti from reacting with silicon into silicide.

CONSTITUTION: A contact hole 8 is formed, and then a Ti film 10 is deposited. Thereafter, substrate is taken out of a sputtering device and exposed to the air to form a natural oxide film 12 on the surface of the film 10. A Ti film 14 is deposited again on the substrate and thermally treated at a temperature of 650°C or so in an initial phase and then at a temperature of 750°C or so in a following phase. Since the natural oxide film 12 is formed on the intermediate part of the Ti film 10, the rate at which Ti is converted to silicide is reduced and consequently a Ti nitride film is increased in thickness to form a TiN film 16 large enough in thickness.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-160067

(43) 公開日 平成5年(1993)6月25日

(51) Int.Cl.⁸

識別記号 庁内整理番号

F I

技術表示箇所

H 0 1 L 21/28

3 0 1 R 7738-4M

21/3205

21/90

D 7353-4M

7353-4M

H 0 1 L 21/ 88

N

審査請求 未請求 請求項の数12(全 12 頁)

(21) 出願番号 特願平4-120209

(22) 出願日 平成4年(1992)5月13日

(31) 優先権主張番号 特願平3-182132

(32) 優先日 平3(1991)7月23日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 岩松 誠一

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

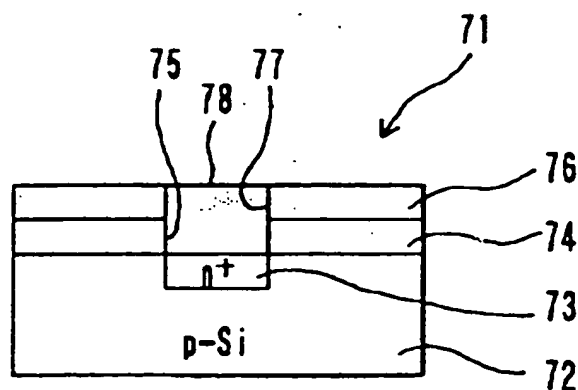
(74) 代理人 弁理士 山田 稔

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【目的】 配線層のパターンがたとえばサブミクロンオーダーにまで微細化されても、被配線接続領域と配線層とが層間絶縁膜の接続孔を介して確実に導電接続可能な半導体装置およびその製造方法を実現すること。

【構成】 基板72の表面側に層間絶縁膜74およびアルミニウム層たる配線層76を積層しておき、それらを開口した凹部77にタングステン膜たるプラグ電極78を埋め込んで、このプラグ電極78を介して、配線層76と拡散層73とを導電接続する。



【特許請求の範囲】

【請求項1】 基板の表面側の被配線接続領域に対して、その表面側に形成された層間絶縁膜の接続孔を介して配線層が導電接続する半導体装置において、前記接続孔の底面側から前記配線層の表面にまで至る凹部は導電性のプラグ電極によって埋め込みされていることを特徴とする半導体装置。

【請求項2】 請求項1において、前記凹部は前記基板の表面側に形成された前記配線層の前記接続孔の内部における欠損部を含むことを特徴とする半導体装置。

【請求項3】 請求項1において、前記凹部は、前記配線層が前記接続孔の外部の前記層間絶縁膜の表面のみに在ることによって生じ、前記配線層は前記プラグ電極を介して前記被配線接続領域に導電接続していることを特徴とする半導体装置。

【請求項4】 請求項1ないし請求項3のいずれかの項において、前記配線層の厚さは前記接続孔の内径の約1/4倍以上であることを特徴とする半導体装置。

【請求項5】 請求項1ないし請求項4のいずれかの項において、前記プラグ電極は、前記凹部の内部から前記配線層の表面上にまで延設されて、その延設部分が前記配線層に対する冗長配線層になっていることを特徴とする半導体装置。

【請求項6】 請求項1ないし請求項5のいずれかの項において、前記プラグ電極は、前記配線層の融点に比較して低い融点の金属および合金のうちのいずれかの材料からなることを特徴とする半導体装置。

【請求項7】 基板の表面側の被配線接続領域の表面側に層間絶縁膜を形成する層間絶縁膜形成工程と、この層間絶縁膜の表面から前記被配線接続領域の表面に至る接続孔を形成して前記被配線接続領域の表面を露開けする接続孔形成工程と、この層間絶縁膜の表面側に配線層形成用導電体膜を形成する配線層形成用導電体膜形成工程と、前記接続孔の底面側から前記配線層形成用導電体膜の表面にまで至る凹部の内部に対してプラグ電極形成用導電体膜を形成して前記凹部を導電性のプラグ電極で埋め込みするプラグ電極形成工程と、を有することを特徴とする半導体装置の製造方法。

【請求項8】 基板の表面側の被配線接続領域の表面側に層間絶縁膜を形成する層間絶縁膜形成工程と、この層間絶縁膜の表面側に配線層形成用導電体膜を形成する配線層形成用導電体膜形成工程と、この配線層形成用導電体膜の表面側から開口して前記層間絶縁膜に接続孔を形成して前記被配線接続領域の表面を露開けする接続孔形成工程と、前記接続孔の底面側から前記配線層形成用導電体膜の表面にまで至る凹部の内部に対してプラグ電極形成用導電体膜を形成して前記凹部を導電性のプラグ電極で埋め込みするプラグ電極形成工程と、を有することを特徴とする半導体装置の製造方法。

【請求項9】 請求項8において、前記接続孔形成工程

では、前記配線層形成用導電体膜の表面側から前記層間絶縁膜の表面に至る開口部を形成した後に、前記配線層形成用導電体膜をマスク層として前記開口部から前記層間絶縁膜に対してエッチングを施して前記接続孔を形成することを特徴とする半導体装置の製造方法。

【請求項10】 請求項7ないし請求項9のいずれかの項において、前記プラグ電極形成工程では、前記凹部の内部に対してのみ選択的に前記プラグ電極形成用導電体膜を形成して前記プラグ電極を形成することを特徴とする半導体装置の製造方法。

【請求項11】 請求項7ないし請求項9のいずれかの項において、前記プラグ電極形成工程では、前記凹部の内部に加えて、その外部における前記配線層形成用導電体膜の表面にも前記プラグ電極形成用導電体膜を形成し、その後、前記プラグ電極形成用導電体膜の表面側からエッチバックを行い、前記凹部の内部にのみ前記プラグ電極形成用導電体膜を残して前記プラグ電極を形成することを特徴とする半導体装置の製造方法。

【請求項12】 請求項7ないし請求項9のいずれかの項において、前記プラグ電極形成工程では、前記凹部の内部に加えて、その外部における前記配線層形成用導電体膜の表面にも前記プラグ電極形成用導電体膜を形成し、その後、前記凹部の内部および配線パターンに対応する領域の前記プラグ電極形成用導電体膜を残して前記プラグ電極および冗長配線層を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は半導体装置の配線構造に関し、とくに、半導体基板の表面側で、その被配線接続領域に層間絶縁膜の接続孔を介して導電接続する配線構造において、配線層のパターンが微細化されても、被配線接続領域と配線層とを確実に導電接続するためのプラグ電極を利用した配線構造に関する。

【0002】

【従来の技術】半導体装置における配線構造においては、基板の表面側に形成された拡散領域や多層配線を構成する下層側の配線層などの被配線接続領域に対して、層間絶縁膜の接続孔を介して配線層を導電接続するのが一般的であり、その接続孔の内部における配線層の状態は、半導体装置の電気的特性や信頼性を大きく支配する。

【0003】すなわち、図14(a)に示すように、基板91の表面に形成された拡散層92に対して、層間絶縁膜93の接続孔94を介してアルミニウム層などの配線層95を導電接続するときには、アルミニウムを基板91の表面側から蒸着法などによって成膜するため、接続孔94の開口縁94aに付着したアルミニウムによって接続孔94の底面側の隅部94bが遮られて、配線層95の欠損部が凹部95bとして形成されてしまうこと

がある。この代題では、配線層95と拡散層92との接続抵抗および接続孔94の内部における配線層95の配線抵抗が高いことに加えて、配線層95に断線が発生しやすいという問題点がある。また、基板91の表面側に多層配線を構成する場合において、接続孔94の上方には凹部95bの形状が反映されるため、上層側の配線層に段差切れなどが発生しやすくなってしまう。そこで、図14(b)に示すように、接続孔94の内部をカバレッジが良好なタングステン膜などのプラグ電極96で予め埋め込んでおき、その表面側にアルミニウム層などの配線層97を形成する構造が案出されている。

【0004】

【発明が解決しようとする課題】しかしながら、接続孔94の内部に埋め込みしたプラグ電極96を利用しただけでは、配線層97のパターンが微細化されるに伴って、接続孔94のサイズが小径化された場合には、プラグ電極96は、その上端面でのみ配線層97に導電接続しているため、プラグ電極96と配線層97との接触面積が小さくなり、その接続抵抗が増大してしまうという問題点がある。しかも、このような問題点は、配線層97のパターンが微細化されて接続孔のサイズが小径化される程、より顕著化してくる。また、下層側への付きまわりが低い配線層97の形成工程を後工程として行うため、その成膜中に欠損部が発生しても、以降の工程にて修復されることがないので、欠損部が残ってしまう。

【0005】以上の問題点に鑑みて、本発明の課題は、基板の表面側において、その被配線接続領域に層間絶縁膜の接続孔を介して導電接続する配線層のパターンがたとえばサブミクロンオーダーにまで微細化されても、被配線接続領域と配線層とが確実に導電接続可能な半導体装置を提供することにある。

【0006】

【課題を解決するための手段】上記目的を達成するために、本発明においては、つぎのような構成の配線構造を採用する。すなわち、基板の表面側の被配線接続領域に対して、その表面側に形成された層間絶縁膜の接続孔を介して配線層が導電接続する半導体装置において、接続孔の底面側から配線層の表面にまで至る凹部を導電性のプラグ電極によって埋め込みすることである。

【0007】ここで、凹部は、たとえば、基板の表面側に形成された配線層の接続孔の内部における配線層の欠損部を含むものとして生じる。このような構成の半導体装置の製造方法においては、基板の表面側の被配線接続領域の表面側に層間絶縁膜を形成する層間絶縁膜形成工程と、この層間絶縁膜の表面から被配線接続領域の表面に至る接続孔を形成して被配線接続領域の表面を開けする接続孔形成工程と、この層間絶縁膜の表面側に配線層形成用導電体膜を形成する配線層形成用導電体膜形成工程と、接続孔の底面側から配線層形成用導電体膜の表面にまで至る凹部の内部にプラグ電極形成用導電体膜を

形成して凹部を導電性のプラグ電極で埋め込みするプラグ電極形成工程とを行う。

【0008】また、凹部は配線層が接続孔の外部の層間絶縁膜の表面のみに在ることによって生じることがあり、この場合には、配線層は被配線接続領域にプラグ電極を介して導電接続することになる。このような構成の半導体装置の製造方法においては、基板の表面側の被配線接続領域の表面側に層間絶縁膜を形成する層間絶縁膜形成工程と、この層間絶縁膜の表面側に配線層形成用導電体膜を形成する配線層形成用導電体膜形成工程と、この配線層形成用導電体膜の表面側から開口して層間絶縁膜に接続孔を形成して被配線接続領域の表面を開けする接続孔形成工程と、接続孔の底面側から配線層形成用導電体膜の表面にまで至る凹部の内部に対してプラグ電極形成用導電体膜を形成して凹部を導電性のプラグ電極で埋め込みするプラグ電極形成工程とを行う。また、別の製造方法としては、接続孔形成工程において、配線層形成用導電体膜の表面側から層間絶縁膜の表面に至る開口部を形成した後に、配線層形成用導電体膜をマスク層として開口部から層間絶縁膜に対してエッチングを施して接続孔を形成する。すなわち、配線層形成用導電体膜の開口部に対して、自己整合的に接続孔を形成するためであり、これによって、配線層形成用導電体膜の開口部の形成のみをフォトリソ・エッチングで行う一方、接続孔の形成には通常のエッチングを採用することができる。

【0009】また、本発明に係る半導体装置の製造方法において、プラグ電極形成工程では、たとえば、凹部の内部に対してのみ選択的にプラグ電極形成用導電体膜を形成してプラグ電極を形成する。これに対して、プラグ電極形成工程において、凹部の内部に加えて、その外部における配線層形成用導電体膜の表面にもプラグ電極形成用導電体膜を形成し、その後に、プラグ電極形成用導電体膜の表面側からエッチバックを行い、凹部の内部にのみプラグ電極形成用導電体膜を残してプラグ電極を形成することもできる。

【0010】さらに、本発明においては、プラグ電極を凹部の内部から配線層の表面上にまで延設して、その延設部分を配線層に対する冗長配線層として利用することができる。このような構成の半導体装置を製造するには、そのプラグ電極形成工程において、凹部の内部に加えて、その外部における配線層形成用導電体膜の表面にもプラグ電極形成用導電体膜を形成し、その後に、凹部の内部および配線パターンに対応する領域のプラグ電極形成用導電体膜を残してプラグ電極および冗長配線層を形成する。

【0011】そして、本発明においては、配線層の厚さは接続孔の内径の約1/4倍以上に設定されることが好ましい。接続孔が小径化されても、配線層とプラグ電極との接触面積を広く確保するという特徴を効果的に発揮させるためである。

【0012】さらに、熔融状態にある金属または合金を利用してプラグ電極形成用導電体膜を形成可能とするために、プラグ電極としては、配線層の融点に比較して低い融点の銅やはんだなどの金属または合金から選択する。

【0013】

【作用】上記手段を講じた配線構造においては、接続孔の底面側から配線層の表面にまで至る凹部を導電性のプラグ電極によって埋め込みしてあるため、配線層のパターンがサブミクロンオーダーにまで微細化されて接続孔のサイズが小さくなくても、凹部の内部はプラグ電極によって確実に埋め込みされ、しかも、プラグ電極はその側面部を介して配線層に広い接触面積をもって導電接続しているため、配線層と被配線接続領域とは確実に導電接続する。これ故、半導体装置の電気的特性および信頼性が向上する。たとえば、凹部が接続孔の内部における配線層の欠損部の場合には、その欠損部に起因する配線抵抗および接続抵抗の低減が可能である。

【0014】また、配線層が接続孔の外部の層間絶縁膜の表面のみに形成され、その表面側から形成された接続孔としての凹部を導電性のプラグ電極で埋め込みした場合には、凹部の形成パターンに対応して情報を記録できるので、凹部の形成前の状態のものをゲートアレイやROMの半完成品として利用し、それらの製造に要する期間を短縮することもできる。

【0015】

【実施例】（実施例1）図1は本発明の実施例1に係る半導体装置の要部を示す断面図である。図において、半導体装置11の基体たるp型のシリコンからなる基板12の表面には、深さが約0.1 μ mの被配線接続領域たるn型の拡散層13が形成され、この拡散層13の表面側には厚さが0.3~0.5 μ mのシリコン酸化膜などからなる層間絶縁膜14が形成されていると共に、この層間絶縁膜14には拡散層13の形成領域に対応して直径が約0.5 μ mの接続孔15が形成されている。また、層間絶縁膜15の表面側には厚さが約0.5 μ mのアルミニウム層からなる配線層16が形成されており、配線層16は接続孔15の底面で拡散層13に導電接続しているが、接続孔15の内周面へのアルミニウムの付き回りのばらつきなどによって、配線層16には拡散層13の表面に形成されていない部分がある。このため、基板12の表面側には接続孔15の底面側から配線層16の表面にまで至る凹部17が形成された状態にあり、この凹部17は接続孔15の内部における配線層16の欠損部を含む状態にある。ここで、図2に示すように、アルミニウム層の成膜条件によっては、配線層16と拡散層13とが完全に絶縁状態にある部分16aや、導電接続していても極めて薄いアルミニウム層のみで不安定な状態で導電接続している部分16bなどが発生するが、図2には、その状態を模式的に示してある。このよ

うな凹部17は、半導体装置11における配線パターンを微細化する目的に、接続孔15の径を小さくするほど、すなわち、接続孔15のアスペクト比が約0.3以上に大きくなるほど発生しやすく、接続孔15の内部での配線層16の断線や接続孔15の開口縁での断線などの原因となる。

【0016】そこで、4.においては、接続孔15の底面側から配線層16の表面にまで至る凹部17をタングステン膜からなるプラグ電極18で埋め込みしてある。すなわち、接続孔15の内部において、配線層16は、部分的であるが拡散層13の表面に直接に導電接続していると共に、プラグ電極18を介しても拡散層13に導電接続している。また、プラグ電極18と配線層16とによって構成される半導体装置31の表面は平坦になっている。

【0017】ここで、プラグ電極18としては、選択CVD法（化学蒸着法）により成膜したタングステン膜の他に、同様に、選択CVD法（化学蒸着法）により凹部17の内部に選択的に成膜した窒化チタン膜または多結晶シリコン膜などを利用できる。また、接続孔15の底面側に薄いニッケル層をめっきにより形成した後に、はんだのじゃぶ漬けめっきなどによって、はんだ層を凹部17の内部に選択的に形成することもできる。このような方法によれば、プラグ電極18は接続孔18の底面側から凹部17の形状に沿って成長するので、凹部17の内部を完全に埋め込むことができる。また、凹部17の内部に加えて、その外部における配線層16を構成すべきアルミニウム膜の表面にも、この凹部17の深さに比して2倍以上厚い導電体膜、たとえば、1 μ m程度のタングステン膜、ニッケルメッキ膜や蒸着金属膜を形成しておき、そのうち、接続孔15の外部の不要部分をエッチバックして除去して、凹部17の内部にのみプラグ電極18を残してもよい。

【0018】このような構成の半導体装置11において、接続孔15の内部における配線層16は凹部17に埋め込まれたタングステン膜からなるプラグ電極18によって補強された状態にあり、しかも、凹部17はタングステン膜のように凹部17の内周面に対するカバレッジが良好なプラグ電極18で完全に埋め込まれて、その内部に欠損部がない。このため、接続孔15の径が小さくなくても、接続孔15の内部での断線や接続孔15の開口縁での断線などが発生しないので、半導体装置の信頼性が向上する。また、拡散層13に対する接続抵抗および接続孔15の内部における配線抵抗を低減することもできる。さらに、プラグ電極18は、その側面部を介しても配線層16に導電接続しているため、接続孔15の径、すなわち、凹部17の内径が小さくなくても、プラグ電極18と配線層16との接触面積を広く確保できる。

【0019】さらに、凹部17は完全にプラグ電極18

に埋め込まれて、プラグ電極18および配線層16で構成される半導体装置11の表面は平坦になっている。このため、多層配線構造を構成するにあたって、図3に断面を示すように、配線層16の表面側に、上層側の層間絶縁膜21を形成すると共に、配線層16およびプラグ電極18の表面側に対して上層側の層間絶縁膜21の接続孔22を介して上層側の配線層23を導電接続する場合に、上層側の接続孔22を下層側の接続孔15の直上位置に設けても、信頼性の高い配線構造を実現できる。ここで、上層側の配線構造においても、上層側の配線層23の欠損部としての凹部24をタングステン膜などのプラグ電極25で埋め込みした構造を採用することができ、また、図4(a)に断面を示し、図4(b)に平面を示すように、配線層16の表面側に形成された上層側の絶縁膜26の表面上において、上層側の配線層27を下層側の接続孔15の直上位置を通過させても、段差切れなどが発生しないので、信頼性が高い多層配線を構成できる。従って、図4(b)に一点鎖線で示す配線層29のように、下層側の接続孔15の形成領域を迂回させる必要がないので、高密度配線構造を設計するにあたっての自由度が高い。

【0020】このような構成の半導体装置11は、たとえば、以下の製造方法によって製造することができる。

【0021】まず、図5(a)に示すように、深さが約0.1 μ mの被配線接続領域としての拡散層13が形成された基板12の表面側に厚さが0.3~0.5 μ mのシリコン酸化膜などからなる層間絶縁膜14を形成する(層間絶縁膜形成工程)。

【0022】つぎに、層間絶縁膜14に対して、拡散層13の形成領域に対応して直径が約0.5 μ mの接続孔15を形成し、拡散層13の表面を開けする(接続孔形成工程)。

【0023】つぎに、図5(b)に示すように、基板12の表面側から配線層16を構成すべき厚さが約0.5 μ mのアルミニウム層161を蒸着する(配線層形成用導電体膜形成工程)。ここで、接続孔15の内部にもアルミニウム層161は形成されるが、付き回りのばらつきなどによって、接続孔15の内部には配線層16が形成されない部分などが存在する。このため、アルミニウム層161は完全に接続孔15の内部に埋め込まれた状態になく、基板12の表面側には接続孔15の底面側からアルミニウム層161の表面にまで至る凹部17が発生している。この状態で、アルミニウム層161に対して、所定のマスク層を用いてパターニングし、配線層16を形成する。このパターニングは、必要に応じて、以降に行ういずれかの工程において行うこともできる。

【0024】しかる後に、図1に示すように、基板12の表面側から接続孔15の内部に対して、プラグ電極形成用導電性膜としてのタングステン膜をSiH₄とWF₆との混合ガスを用いて選択CVD法により形成して、

接続孔15の内部をタングステン膜で埋め込み、プラグ電極18を形成する(プラグ電極形成工程)。その結果、配線層16は部分的であるが拡散層13の表面に直接に導電接続していると共に、プラグ電極18を介しても拡散層13に導電接続している状態になる。

【0025】ここで、プラグ電極18の形成にあたって、凹部17の内部に加えて、その外部におけるアルミニウム層161(配線層16)の表面にもこの凹部17の深さに比して厚い導電体膜、たとえば、1 μ m程度のタングステン膜を形成しておき、そのうち、凹部18の外部の不要部分をエッチバックして除去して、凹部17の内部にのみプラグ電極18を残してもよい。この場合には、タングステン膜に代えて、1 μ m程度のニッケルメッキ層または蒸着金属膜も利用できる。また、接続孔15の底面側に薄いニッケル層をめっきにより形成した後に、銅やはんだのじゃぶ漬けめっきなどによって凹部18の内部を選択的に埋め込むこともできる。

【0026】以上のとおり、本例においては、付きまわりが低いアルミニウム層による配線層16の形成工程を先に行い、その成膜過程で生じた凹部17を、後工程において付きまわりの良好なタングステン膜で修復するので、半導体装置11に配線層16の欠損部が残ることがない。

【0027】〔実施例2〕図6は本発明の実施例2に係る半導体装置の要部を示す断面図である。図において、本例の半導体装置31の構成は、図1に示した実施例1に係る半導体装置の構成と同様であるため、各部位の詳細な説明は省略するが、半導体装置31の基体たる基板32の表面には、深さが約0.1 μ mの被配線接続領域たる拡散層33が形成され、この拡散層33の表面側には、厚さが約1.0 μ mのシリコン酸化膜などからなる層間絶縁膜34が形成されていると共に、この層間絶縁膜34には、拡散層33の形成領域に対応して直径が約0.5 μ mの接続孔35が形成されている。また、層間絶縁膜34の表面側には厚さが約1.0 μ mのアルミニウム層からなる配線層36が形成されており、配線層36は接続孔35の底面で拡散層33に導電接続しているが、実施例1において、図2を用いて説明したとおり、基板32の表面側には接続孔35の底面側から配線層36の表面にまで至る凹部37が形成された状態にある。この凹部37は接続孔35の内部における配線層36の欠損部を含み、凹部37の存在は配線抵抗や接続抵抗の増大の原因となることに加えて、断線の原因にもなる。

【0028】そこで、本例においても、実施例1と同様に、凹部37をタングステン膜からなるプラグ電極38で埋め込みしてある。また、プラグ電極38は凹部37の内部から配線層36の表面上にまで同じ形成パターンをもって延設され、その延設部分38aは配線層36に対する冗長配線層になっている。ここで、プラグ電極38および延設部分38aとしては、タングステン膜の他

に、窒化チタン膜または多結晶シリコン膜なども利用される。

【0029】このような構成の半導体装置31において、配線層36は凹部37に埋め込まれたタングステン膜からなるプラグ電極38によって補強された状態にあり、しかも、凹部37はタングステン膜のように凹部37の内周面に対するカバレッジが良好なプラグ電極38で完全に埋め込まれて、その内部に欠損部がない。このため、拡散層33に対する接続抵抗および接続孔35の内部における配線抵抗が低いのに加えて、半導体装置31における配線パターンがサブミクロンオーダーまで微細化されて接続孔35の内径が小さくなくても、配線層36に断線などが発生しないので、半導体装置31の信頼性が向上する。さらに、プラグ電極38は凹部37の内部から配線層36の表面上にまで同じ形成パターンをもって延設され、その延設部分38aは配線層36に対する冗長配線層になっているため、配線層36の電気的特性および信頼性も向上する。また、凹部37の内部に埋め込みされたプラグ電極38は、その側面部を介して配線層36に導電接続しているため、接続孔35の径が小さい場合であっても、プラグ電極38と配線層36との接触面積が広いので、それらの間の接続抵抗が低減されている。

【0030】このような構成の半導体装置31は、たとえば、以下の製造方法によって製造することができる。

【0031】まず、図7(a)に示すように、深さが約 $0.1\mu\text{m}$ の被配線接続領域としての拡散層33が形成された基板32の表面側に厚さが約 $1\mu\text{m}$ のシリコン酸化膜などからなる層間絶縁膜34を形成する(層間絶縁膜形成工程)。

【0032】つぎに、層間絶縁膜34に対して、拡散層33の形成領域に対応して直径が約 $0.5\mu\text{m}$ の接続孔35を形成し、拡散層33の表面を開けける(接続孔形成工程)。

【0033】つぎに、図7(b)に示すように、基板12の表面側から、配線層36を構成すべき厚さが約 $1\mu\text{m}$ のアルミニウム層361を蒸着する(配線層形成用導電体膜形成工程)。ここで、アルミニウム層361は完全に接続孔35の内部に埋め込まれた状態にないため、基板32の表面側には接続孔35の底面側からアルミニウム層361の表面にまで至る凹部37が発生している。

【0034】しかる後に、図7(c)に示すように、凹部37の内部に加えて、その外部におけるアルミニウム層361の表面にも、プラグ電極形成用導電性膜としての厚いタングステン膜380をCVD法などにより全面に形成して、接続孔35の内部をタングステン膜380で埋め込む(プラグ電極形成工程)。つぎに、タングステン膜380の表面側に所定のマスクパターンを有するマスク層を形成してタングステン膜380をパターニン

グして、凹部38の内部にプラグ電極18を残すと共に、凹部38の外部には冗長配線層としての延設部分38aを残す。この場合には、アルミニウム層361も同時にパターニングして配線層36を形成することもできる。

【0035】以上のとおり、本例においても、付きまわりが低いアルミニウム層による配線層36の形成工程を先に払い、その成膜過程で生じた凹部37を後工程において付きまわりの良好なタングステン膜で修復するので、半導体装置31に配線層36の欠損部が残ることがない。

【0036】「実施例3」図8(d)は本発明の実施例3に係る半導体装置の要部を示す断面図である。

【0037】図において、本例の半導体装置41の構成は、図1に示した実施例1に係る半導体装置の構成と同様であるため、各部位の詳細な説明は省略するが、半導体装置41の基体たる基板42の表面には深さが約 $0.1\mu\text{m}$ の被配線接続領域たる拡散層43が形成され、この拡散層43の表面側には厚さが約 $1.0\mu\text{m}$ のシリコン酸化膜などからなる層間絶縁膜44が形成されている。また、層間絶縁膜44には、拡散層43の形成領域に対応して直径が約 $1.0\mu\text{m}$ の接続孔45が形成されている。また、層間絶縁膜45の表面側には厚さが約 $1.0\mu\text{m}$ のアルミニウム層からなる配線層46が形成されているが、接続孔45の内部には配線層45が形成されておらず、基板42の表面側には接続孔45の底面側から配線層46の表面にまで至る凹部47が形成された状態にある。

【0038】そこで、本例においては、凹部47をタングステン膜からなるプラグ電極48で埋め込みして、プラグ電極48を介して、配線層46と拡散層43とを導電接続している。なお、配線層46およびプラグ電極48によって構成される表面は平坦になっている。

【0039】このような構成の半導体装置41においては、配線層46は凹部47に埋め込まれたタングステン膜からなるプラグ電極48によって拡散層43に導電接続し、このプラグ電極48は付き回りの良好なタングステン膜であるため、凹部47の内部に欠損部がない。しかも、凹部47の内部に埋め込みされたプラグ電極48は、その側面部を介して配線層36に導電接続しているため、接続孔45の径が小さい場合であっても、プラグ電極48と配線層46との接触面積が広いので、それらの間の接続抵抗が低減されている。すなわち、凹部47の半径を r 、配線層46の膜厚を t とすると、図14(b)に示す従来の半導体装置のように、接続孔の内部に埋め込みされたプラグ電極がその上端面のみで配線層に接触している構造では、その接触面積は πr^2 で表されるのに対し、本例のように、プラグ電極48が、その側面部で配線層46に接触している構造では、その接触面積は $2\pi r t$ で表される。従って、本例の構造の接続

面積が従来構造の接触面積に比して広い条件は、 $2\pi r t > \pi r^2$ で表され、 $2t > r$ の条件式が成り立つ範囲である。すなわち、接続孔45の内径が小さくなって、接続孔45の直径 $2r$ が配線層の膜厚 t の4倍以下の場合には、本例の配線構造の方がプラグ電極48と配線層46との接触面積を広く確保できる。

【0040】このような構成の半導体装置41は、たとえば、以下の製造方法によって製造することができる。

【0041】まず、図8(a)に示すように、深さが約 $0.1\mu\text{m}$ の被配線接続領域としての拡散層43が形成された基板42の表面側に厚さが約 $1.0\mu\text{m}$ のシリコン酸化膜などからなる層間絶縁膜44を形成する(層間絶縁膜形成工程)。

【0042】つぎに、層間絶縁膜44に対して、拡散層43の形成領域に対応して直径が約 $1.0\mu\text{m}$ の接続孔45を形成し、拡散層43の表面を露出させる(接続孔形成工程)。

【0043】つぎに、図8(b)に示すように、基板42の表面側から、配線層46を構成すべき厚さが約 $1.0\mu\text{m}$ のアルミニウム層461を蒸着する(配線層形成用導電体膜形成工程)。ここで、アルミニウム層461は接続孔45の内部にはほとんど形成されず、接続孔45の底面側からアルミニウム層461の表面にまで至る凹部47が形成される。

【0044】しかる後に、図8(c)に示すように、凹部47の内部に加えて、その外部におけるアルミニウム層461の表面側にもタングステン膜480からなるプラグ電極形成用導電性膜をCVD法などにより全面に形成して、接続孔45の内部をタングステン膜480で埋め込む。つぎに、タングステン膜480の表面からエッチバックを行って、凹部48の内部にのみプラグ電極48を残す(プラグ電極形成工程)。なお、アルミニウム層461に対しては、所定の工程においてパターニングを施して配線層46を構成する。

【0045】以上のとおり、本例においても、付きまわりが低いアルミニウム層による配線層46の形成工程を先に行い、付きまわりの良好なタングステン膜を後工程で形成するので、半導体装置41に配線層46の欠損部が残ることがない。

【0046】【実施例4】図9は本発明の実施例4に係る半導体装置の要部を示す断面図である。すなわち、本例の半導体装置51においては、p型のシリコンからなる基板52の表面に、深さが約 $0.1\mu\text{m}$ の被配線接続領域としてのn型の拡散層53が形成されており、この拡散層53の表面側には厚さが $0.3\sim 0.5\mu\text{m}$ のシリコン酸化膜などからなる層間絶縁膜54が形成されている。また、層間絶縁膜54には拡散層53の形成領域に対応して直径が約 $0.5\mu\text{m}$ の接続孔55が形成されている。ここで、接続孔55は、層間絶縁膜54の表面に形成された厚さが約 $0.5\mu\text{m}$ のアルミニウム層から

なる配線層56の表面側から、配線層56および層間絶縁膜54が一括して拡散層53の表面にまで開口されたものであるため、接続孔55の底面側から配線層56の表面までには凹部57が形成された状態にある。従って、凹部57の内部には配線層56が形成されておらず、タングステン膜からなるプラグ電極58で埋め込みしてある。このため、接続孔55の内部で、配線層56はプラグ電極58を介して拡散層53に導電接続している。また、プラグ電極58と配線層56によって構成される半導体装置51の表面形状は平坦になっている。ここで、プラグ電極58としては、タングステン膜の他に、窒化チタン膜または多結晶シリコン膜などを利用できる。また、凹部57の内部に対して、この接続孔55の深さに比して2倍以上厚い導電体層、たとえば、 $1\mu\text{m}$ 程度のニッケルメッキ層や蒸着金属膜などを形成した後、エッチバックにより凹部57の内部にのみプラグ電極58を残すこともできる。

【0047】このような構成の半導体装置51において、配線層56は凹部58の内部に埋め込みされたプラグ電極58の側面部を介して配線層56に導電接続しているため、接続孔55の径、すなわち、凹部57の径が小さい場合であっても、プラグ電極58と配線層56との接触面積が広い。すなわち、実施例3と同様に、接続孔55の半径を r 、配線層56の膜厚を t とすると、図14(b)に示す従来の半導体装置のように、接続孔の内部に埋め込みされたプラグ電極が、その上端面で配線層に接触している構造では、その接触面積は πr^2 で表されるのに対し、本例のように、プラグ電極58がその側面部で配線層56に接触している構造では、その接触面積は $2\pi r t$ で表される。従って、本例の構造の接触面積が従来構造の接触面積に比して広い条件は、 $2\pi r t > \pi r^2$ で表され、 $2t > r$ の条件式が成り立つ範囲である。すなわち、接続孔55の内径が配線層の膜厚 t の4倍以下にまで微細化されるほど、本例の配線構造の方がプラグ電極58と配線層56との接触面積を広く確保できる。それ故、本例の半導体装置51においては、その配線層56の配線パターンがサブミクロンオーダーにまで微細化されて、接続孔55のサイズが小さくなっても、接続抵抗を小さいレベルに維持できる。

【0048】また、接続孔55の内部において、凹部57はタングステン膜のように凹部57の内周面に対するカバレッジが良好なプラグ電極58で完全に埋め込まれて、その内部に欠損部がない。このため、接続孔55の内部などでの断線などが発生しないので、半導体装置51の信頼性が向上する。しかも、拡散層53に対する接続抵抗および接続孔57の内部における配線抵抗が小さい。さらに、プラグ電極58と配線層56によって構成される半導体装置51の表面形状は平坦になっているため、多層配線構造を構成するにあたって、接続孔55の上方位置を他の配線層が交差する構造、または、接続孔

55の上方位置に上層側の絶縁膜の接続孔を形成した構造などを採用しても、信頼性が低下しないので、高密度配線構造を設計するにあたって自由度が高い。

【0049】また、図10に示すように、基板52の表面側に層間絶縁膜54および配線層56を積層しておき、この状態でゲートアレイやROMの半完成品51aとして利用できる。すなわち、半完成品51aの状態から、顧客のニーズなどに応じて、所定のパターンをもって、配線層56の表面側から凹部57を形成した後に、各凹部57をプラグ電極58で埋め込みすることによって、基板52の側に拡散層53と配線層56とを配線接続して、所定の情報を記録したゲートアレイやROMを短期間で製造することができる。

【0050】このような構成の半導体装置51は、たとえば、以下の製造方法によって製造することができる。

【0051】まず、図10に示すように、深さが約0.1 μ mの拡散層からなる拡散層53が形成された基板52の表面側に厚さが0.3~0.5 μ mのシリコン酸化膜などからなる層間絶縁膜54を形成する（絶縁膜形成工程）。

【0052】つぎに、層間絶縁膜54の表面側に配線層56を形成するための約0.5 μ mのアルミニウム層561を蒸着する（配線層形成用導電膜形成工程）。この状態で、ゲートアレイやROMを製造すべき半完成品51aとして利用してもよい。

【0053】つぎに、図11(a)に示すように、配線層56の表面側に所定のマスクパターンを有するマスク層を形成した状態でエッチングを施し、配線層54および層間絶縁膜54を開口して凹部57（接続孔55）を形成する（接続孔形成工程）。

【0054】つぎに、マスク層を除去した後に、図11(b)に示すように、アルミニウム層561の表面側から、凹部57の内部に加えて、その外部におけるアルミニウム層561の表面にもタングステン膜581を形成する（プラグ電極形成工程）。

【0055】しかる後に、タングステン膜581の表面側からエッチバックを行い、図9に示すように、凹部57の内部にのみタングステン膜を残してプラグ電極58を形成する。なお、所定の工程において、アルミニウム層561に対してパターニングを施して配線層56を形成する。ここで、プラグ電極58としては、凹部57の深さに比して厚い導電体層、たとえば、1 μ m程度のニッケルメッキ層や蒸着金属膜を形成しておき、そのうち、接続孔55の外部の不要部分をエッチバックして除去してもよい。また、凹部57の内部に対して、選択CVD法（化学蒸着法）によりタングステン膜、窒化チタン膜または多結晶シリコン膜などを選択的に形成する方法も採用することができる。それ以外にも、接続孔55の底面側に厚いニッケル層をめっきにより形成した後に、融点が400℃ないし600℃のはんだのじゃぶ漬けめ

きなどによって、凹部57の内部にプラグ電極58を選択的に形成することもできる。

【0056】以上のとおり、本例においても、付きまわりが低いアルミニウム層561を層間絶縁膜54の平坦な表面に形成し、その後工程において、付きまわりの良好なタングステン膜でアルミニウム層561と拡散層53とを導電接続するので、半導体装置51に配線層56の欠損部が残ることがない。

【0057】〔実施例5〕図12は本発明の実施例5に係る半導体装置の要部を示す断面図である。図において、本例の半導体装置71の構成は、図9に示した実施例4に係る半導体装置の構成と同様であるため、各部位の詳細な説明は省略するが、基板72の表面に形成された深さが約0.1 μ mの被配線接続領域としての拡散層73の表面側には厚さが約1.0 μ mのシリコン酸化膜などからなる層間絶縁膜74が形成され、この層間絶縁膜74には拡散層73の形成領域に対応して直径が約1.0 μ mの接続孔75が形成されている。ここで、接続孔75は、層間絶縁膜74の表面に形成された厚さが約1.0 μ mのアルミニウム層からなる配線層76にフォトリソ・エッチングにより形成された開口部を利用した自己整合的に形成されたものであるため、配線層76の開口部および接続孔75で構成されて接続孔75の底面側から配線層76の表面にまで至る凹部77の内部には配線層76が形成されておらず、凹部77はタングステン膜からなるプラグ電極78で埋め込みしてある。従って、配線層76はプラグ電極78を介して拡散層73に導電接続している。また、プラグ電極78と配線層76によって構成される半導体装置71の表面形状は平坦になっている。

【0058】このような構成の半導体装置71においては、実施例4に係る半導体装置と同様に、配線層76は凹部78の内部に埋め込みされたプラグ電極78の側面部を介して配線層76に導電接続しているため、凹部77の径が小さい場合であっても、プラグ電極78と配線層76との接触面積が広く確保されているため、接続抵抗を低レベルに維持できる。また、接続孔75の内部において、凹部77はタングステン膜のようにカバレッジが良好なプラグ電極78で完全に埋め込まれているため、拡散層73に対する接続抵抗および接続孔77の内部における配線抵抗が小さい。また、接続孔75の内部などでの断線などが発生しないので、半導体装置71の信頼性が向上する。さらに、プラグ電極78と配線層76によって構成される半導体装置71の表面形状は平坦になっているため、接続孔75の上方位置を利用して多層配線構造を構成しても、信頼性が低下しないので、高密度配線構造を設計するにあたって自由度が高い。また、基板72の表面側に層間絶縁膜74および配線層76を予め積層しておき、顧客のニーズなどに応じて、所定のパターンをもって、配線層76の表面側から凹部7

7を形成した後に、各凹部77をプラグ電極78で埋め込みすることによって、凹部77の配置に対応する情報を記録したゲートアレイやROMを短時間で製造することができる。

【0059】このような構成の半導体装置71は、たとえば、以下の製造方法によって製造することができる。

【0060】まず、図13(a)に示すように、深さが約0.1 μ mの拡散層からなる拡散層73が形成された基板72の表面側に厚さが約1.0 μ mのシリコン酸化膜などからなる層間絶縁膜74を形成する（絶縁膜形成工程）。

【0061】つぎに、層間絶縁膜74の表面側に配線層76を形成するための約1.0 μ mのアルミニウム層761を蒸着する（配線層形成用導電体膜形成工程）。

【0062】つぎに、配線層76の表面側に所定のマスクパターンを有するマスク層を形成した状態でフォトリソグラフィエッチングを施し、図13(b)に示すように、アルミニウム層761に開口部761aを形成する。つぎに、この状態までもよいが、マスク層を除去した場合には、アルミニウム層761をマスク層として、図13(c)に示すように、開口部761aから層間絶縁膜74にエッチングを施して、開口部74aに対して自己整合的に接続孔75を形成する。その結果、基板72の表面側には、接続孔75の底面側からアルミニウム層761の表面にまで至る凹部77が形成される（接続孔形成工程）。

【0063】つぎに、図13(d)に示すように、凹部77の内部に加えて、その外部におけるアルミニウム層761の表面にもタングステン膜781を形成する。しかる後に、タングステン膜781の表面側からエッチバックを行い、図12に示すように、凹部77の内部のみタングステン膜を残してプラグ電極78を形成する（プラグ電極形成工程）。ここで、プラグ電極78としては、凹部77の深さに比して厚い導電体層としてのニッケルメッキ層や蒸着金属膜を形成しておき、そのうち、凹部77の外部の不要部分をエッチバックしてもよい。また、凹部77の内部に対して、選択CVD法（化学蒸着法）によりタングステン膜、窒化チタン膜または多結晶シリコン膜などを形成する方法も採用することができる。それ以外にも、接続孔75の底面側に薄いニッケル層をめっきにより形成した後に、融点が400℃ないし600℃の銅やはんだのじゃぶ漬けめっきなどによってプラグ電極を選択的に形成することもできる。

【0064】なお、配線層が導電接続すべき被配線接続領域としては、上記の実施例のように、基板側の拡散層に限定されるものではなく、多層配線を構成する下層側の配線層が被配線接続領域であってもよい。また、プラグ電極の構成材料に関し、それを構成する材料は単一組成のもの他に、複数の材料から構成されていてもよい。また、拡散層などを被配線接続領域とする場合に、

その表面にシリサイド化合物などを介在させた状態で配線層やプラグ電極が導電接続していてもよい。

【0065】

【発明の効果】以上説明したように、本発明においては、基板の表面側の被配線接続領域に対して、その表面側に形成された層間絶縁膜の接続孔を介して配線層が導電接続する半導体装置であって、接続孔の底面側から配線層の表面にまで至る凹部を導電性のプラグ電極によって埋め込みすることに特徴を有している。従って、本発明によれば、配線層のパターンがサブミクロンオーダーにまで微細化されて、接続孔のサイズが小さくなくても、凹部の内部はプラグ電極によって確実に埋め込みされ、しかも、プラグ電極はその側面部を介して配線層に広い接触面積をもって導電接続しているため、配線層と被配線接続領域とは確実に導電接続する。従って、半導体装置の電気的特性および信頼性が向上する。たとえば、凹部が接続孔の内部における配線層の欠損部の場合には、その欠損部に起因する配線抵抗および接続抵抗の低減が可能である。

【0066】また、配線層が接続孔の外部の層間絶縁膜の表面に形成された状態から、配線層と被配線接続領域とを凹部の内部のプラグ電極を介して導電接続する場合には、凹部の形成パターンに対応して情報を記録できるので、凹部を形成前の状態のものをゲートアレイやROMの半完成品として利用し、それらの製造に要する期間を短縮することもできる。

【0067】さらに、プラグ電極を接続孔の内部から配線層の表面上にまで延設して、その延設部分を配線層に対する冗長配線層とした場合には、配線層自身の電気的特性および信頼性を向上することができる。

【図面の簡単な説明】

【図1】本発明の実施例1に係る半導体装置の要部を示す概略断面図である。

【図2】本発明の実施例1に係る半導体装置の接続孔内部の配線層の形成状態を示す概略断面図である。

【図3】本発明の実施例1に係る半導体装置に形成した多層配線構造の要部を示す概略断面図である。

【図4】(a)は本発明の実施例1に係る半導体装置に形成した別の多層配線構造の要部を示す概略断面図であり、(b)はその概略平面図である。

【図5】(a)、(b)は本発明の実施例1に係る半導体装置の製造方法の一部を示す工程断面図である。

【図6】本発明の実施例2に係る半導体装置の要部を示す概略断面図である。

【図7】(a)ないし(c)は本発明の実施例2に係る半導体装置の製造方法の一部を示す工程断面図である。

【図8】(a)ないし(d)は本発明の実施例3に係る半導体装置の製造方法の一部を示す工程断面図である。

【図9】本発明の実施例4に係る半導体装置の要部を示す概略断面図である。

17

18

【図10】本発明の実施例4に係る半導体装置を利用したゲートアレイおよびROMの半完成品の要部を示す概略断面図である。

【図11】(a)、(b)は本発明の実施例4に係る半導体装置の製造方法の一部を示す工程断面図である。

【図12】本発明の実施例5に係る半導体装置の要部を示す概略断面図である。

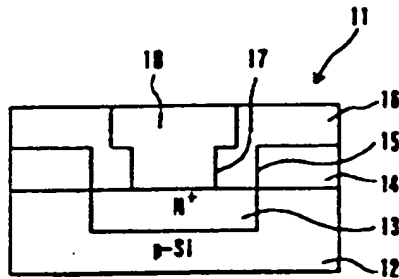
【図13】(a)ないし(d)は本発明の実施例5に係る半導体装置の製造方法の一部を示す工程断面図である。

【図14】(a)は従来の半導体装置の概略断面図であり、(b)は別の従来の半導体装置の概略断面図である。

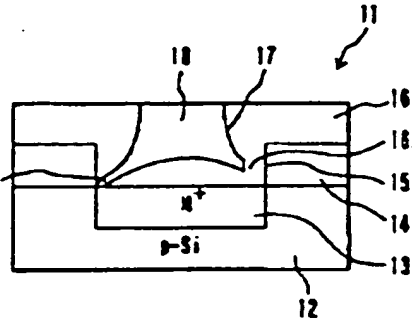
【符号の説明】

- 11、31、41、51、71・・・半導体装置
 12、32、42、52、72、91・・・基板
 13、33、43、53、73、92・・・拡散層（被配線接続領域）
 14、34、44、54、74・・・層間絶縁膜
 15、35、45、55、75、94・・・接続孔
 16、36、46、56、76、95、97・・・配線層
 10 17、37、47、57、77・・・凹部
 18、38、48、58、78、96・・・プラグ電極
 38a・・・延設部分

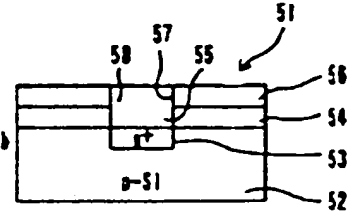
【図1】



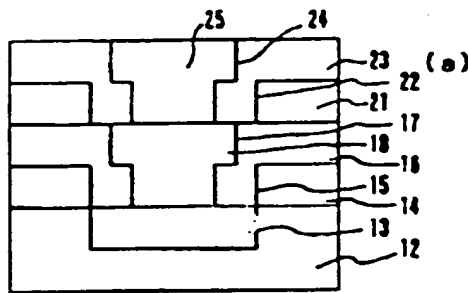
【図2】



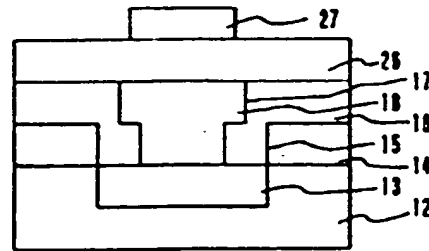
【図9】



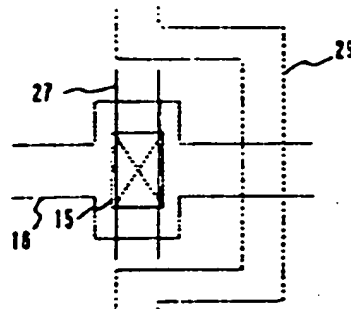
【図3】



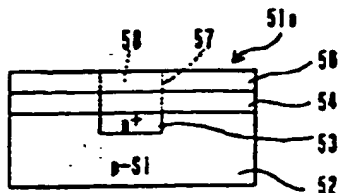
【図4】



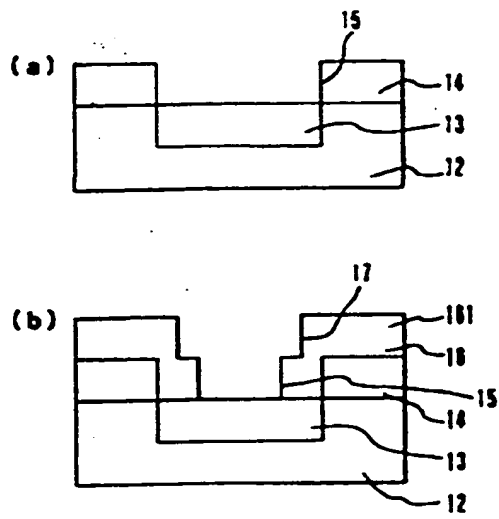
(b)



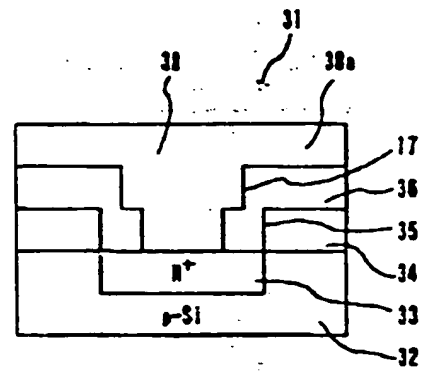
【図10】



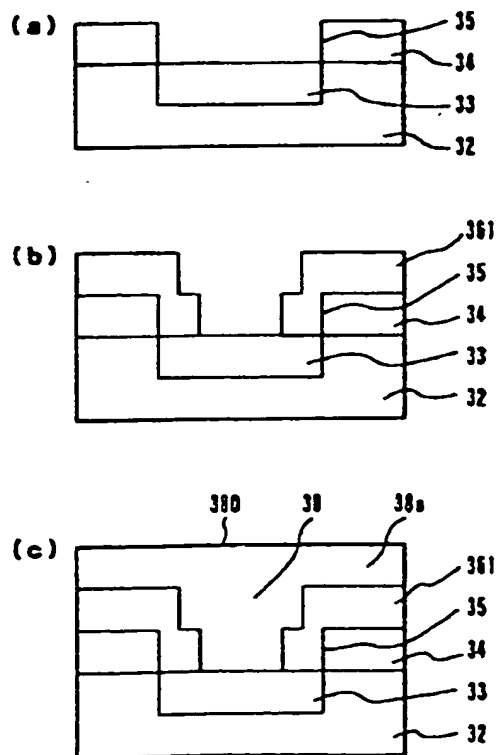
【図5】



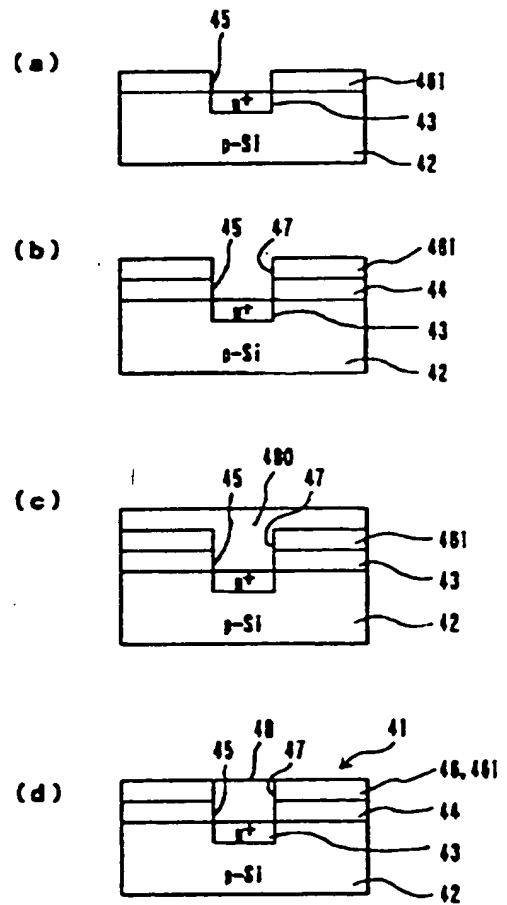
【図6】



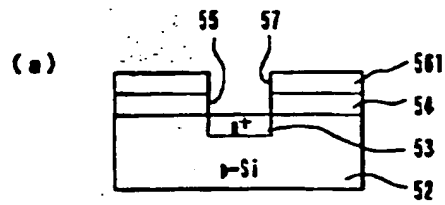
【図7】



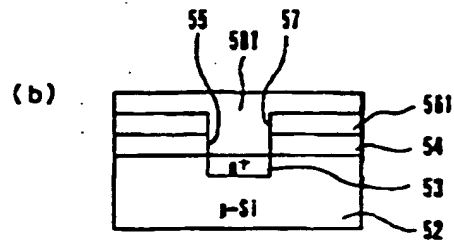
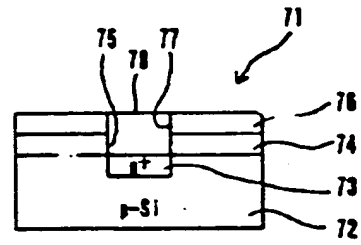
【図8】



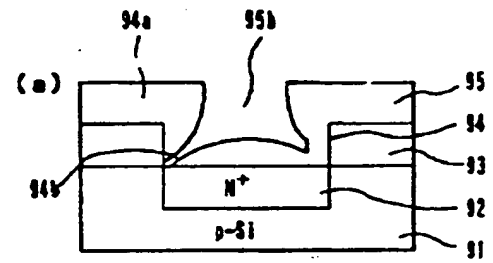
【図11】



【図12】



【図14】



【図13】

